**Temario del Curso Básico de Verilog y FPGAs**

**Módulo 1: Introducción a Verilog y FPGAs**

* ¿Qué es Verilog? , aplicaciones y ventajas.
* Introducción a las FPGAs: ¿Qué son y por qué usarlas?
* Estructura básica de un código en Verilog y flujo de diseño en FPGAs.

**Módulo 2: Fundamentos de Verilog**

* Tipos de datos básicos: wire, reg, integer.
* Operadores en Verilog: lógicos, aritméticos, relacionales.
* Módulos y port maps: cómo modularizar tu diseño.

**Módulo 3: Estructuras de Control en Verilog**

* Estructuras de control de flujo: if, case.
* Bloques always y initial: cuándo y cómo usarlos.
* Simulación básica: cómo probar tu código.

**Módulo 4: Diseño de Circuitos Combinacionales en Verilog**

* Implementación de puertas lógicas y circuitos combinacionales.
* Diseño de sumadores, multiplexores y decodificadores.
* Asignaciones continuas vs. procedimentales.

**Módulo 5: Diseño de Circuitos Secuenciales en Verilog**

* Introducción a los circuitos secuenciales.
* Flip-flops (D, JK, T) y su implementación en Verilog.
* Diseño de contadores y registros de desplazamiento.

**Módulo 6: Introducción a las FPGAs**

* Arquitectura básica de una FPGA.
* Cómo las FPGAs implementan diseños Verilog.
* Herramientas de desarrollo para FPGAs: de la codificación a la implementación.

**Módulo 7: Testbenches y Simulación**

* Creación de testbenches para verificar tus diseños.
* Generación de estímulos y visualización de resultados.
* Buenas prácticas en la simulación de diseños Verilog.

**Módulo 8: Proyecto Final de Diseño en FPGA**

* Selección de un proyecto de diseño digital que integre conceptos aprendidos.
* Implementación del diseño en Verilog.
* Simulación del diseño, síntesis y carga en una FPGA.
* Evaluación del proyecto: funcionamiento y optimización.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Module | Topic | Expectation | Time | Presenter | Virtual |
| 1 | **Introducción a Verilog y FPGAs** | Comprender Verilog para modelar circuitos y cómo las FPGAs permiten implementar estos diseños de manera flexible. | 40 min |  | **X** |
| 2 | **Fundamentos de Verilog** | Comprender la sintaxis y estructura de Verilog para diseñar y simular circuitos digitales eficientemente. | 1h |  | **X** |
| 3 | **Estructuras de Control en Verilog** | Explorar cómo utilizar estructuras de control en Verilog para crear lógica condicional y bucles en el diseño de circuitos digitales | 30 min |  | **X** |
| 4 | **Diseño de Circuitos Combinacionales en Verilog** | Aprender a diseñar circuitos combinacionales en Verilog, enfocándose en la creación de lógica que responde inmediatamente a las entradas sin almacenar estado. | 1h |  | **X** |
| 5 | **Diseño de Circuitos Secuenciales en Verilog** | Estudiar el diseño de circuitos secuenciales en Verilog, que incorporan elementos de almacenamiento para mantener un estado y responder a cambios en las entradas en funcion del tiempo. | 1h |  | **X** |
| 6 | **Introducción a las FPGAs** | Conocer las bases de las FPGAs, dispositivos reconfigurables que permiten la implementación física de diseños digitales personalizados y su adaptabilidad para diversas aplicaciones. | 1h |  | **X** |
| 7 | **Testbenches y Simulación** | Aprender a crear testbenches en Verilog para simular y verificar el comportamiento de diseños digitales, asegurando su correcto funcionamiento antes de la implementación física. | 1h |  | **X** |
| 8 | **Proyecto Final de Diseño en FPGA** | Desarrollar un proyecto integral en FPGA, aplicando conocimientos de Verilog, diseño de circuitos y simulación para resolver un problema específico o implementar una función compleja, demostrando habilidades prácticas en diseño digital. | 8h | **X** | **X** |